

# SPÉCIFICATION DES CIRCUITS INTÉGRÉS

## TÉLÉCOM NANCY

Slaviša Jovanović et Yves Berviller

`{slavisa.jovanovic,yves.berviller}@univ-lorraine.fr`  
`http://www.ijl.univ-lorraine.fr/`

2 mars 2016



UNIVERSITÉ  
DE LORRAINE



Institut Jean Lamour



# SOMMAIRE

- 1 Utilisation de Modelsim
  - Pour simuler sans tout recompiler

# DÉMARRAGE DE MODELSIM DEPUIS QUARTUS

Vous pouvez apporter des modifications à votre code VHDL et re-simuler sans être obligé de quitter Modelsim et de démarrer une compilation complète (avec la phase de placement routage) dans Quartus qui est particulièrement chronophage. Il suffit en réalité de ne pas quitter Modelsim et de suivre la procédure expliquée ci-dessous pour modifier votre code et prendre en compte ces modifications directement au niveau du simulateur (Modelsim). Nous supposons donc que vous avez effectué une première compilation dans Quartus et démarré Modelsim par le menu `Tools ⇒ Run Simulation Tool ⇒ RTL Simulation`

# DÉMARRAGE DE MODELSIM DEPUIS QUARTUS

## MODIFICATION DU CODE SOURCE DANS MODELSIM

- Double cliquer sur une architecture dans la fenêtre **Sim**
- Dans le menu **Source** décocher **Read Only**
- Modifier le code VHDL, puis sauvegarder
- `vcom -2008 -work work`  
`{Chemin_absolu/fichier_source.vhd}`
- `restart` puis `Ok`
- `run -all`
- Vous pouvez utiliser les touches de rappel (flèche vers le haut) pour ne pas retaper ces commandes à chaque fois ou écrire un petit script (fichier `compile.do`) que vous appelez avec la commande `Modelsim do compile.do`



# SOMMAIRE

- 2 Ajout d'une contrainte de temps
  - Assistant

# SPÉCIFICATION D'UNE CONTRAINTE DE TEMPS

## UTILISATION DE L'ASSISTANT

- Menu Assignments ⇒ TimeQuest Timing Analyzer Wizard
- Next puis donner un nom à cette contrainte, par exemple Clock, puis donner le nom du signal d'horloge par exemple clk puis la période de l'horloge par exemple 4 ns pour 250MHz et enfin Next jusqu'à Finish

**TimeQuest Timing Analyzer Wizard**

Intro > Clock > tsu/th > tco > tpd > Summary

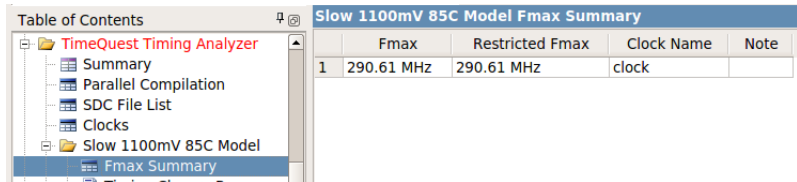
Specify base clock settings:

	Clock Name	Input Pin	Period	Rising	Falling
1	clock	clk	4.000ns		
2	<< New >>				

# SPÉCIFICATION D'UNE CONTRAINTE DE TEMPS

## ANALYSE DES RÉSULTATS APRÈS COMPILATION

- Dans la fenêtre **Tasks** double cliquer sur **View Report** dans **TimeQuest Timing Analysis**
- Dans la fenêtre **Table of Contents** dans la catégorie **TimeQuest Timing Analyzer** choisir **Slow Model**, puis **Fmax summary**
- On obtient alors la valeur maximale de la fréquence pour le circuit et le placement routage concernés



The screenshot shows the TimeQuest Timing Analyzer interface. On the left is the 'Table of Contents' pane, and on the right is the 'Slow 1100mV 85C Model Fmax Summary' report.

**Table of Contents**

- TimeQuest Timing Analyzer
  - Summary
  - Parallel Compilation
  - SDC File List
  - Clocks
  - Slow 1100mV 85C Model
    - Fmax Summary

**Slow 1100mV 85C Model Fmax Summary**

	Fmax	Restricted Fmax	Clock Name	Note
1	290.61 MHz	290.61 MHz	clock	



# SOMMAIRE

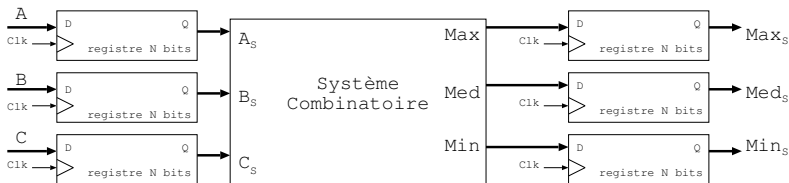
- 3 Travail demandé
  - Présentation



# TRI DE 3 VALEURS

## PRÉSENTATION DU SYSTÈME

- 3 entrées (A, B, C) codées sur N bits signés
- Les entrées sont mémorisées dans des registres de synchronisation
- 3 sorties (Min, Med, Max) codées sur N bits signés
- Les sorties sont mémorisées dans des registres de synchronisation



# TRI DE 3 VALEURS

## PREMIÈRE VERSION

Dans cette première version, vous décrirez l'affectation conditionnelle des 3 sorties (Min, Med, Max) combinatoires de manière totalement indépendantes les unes des autres.

- 1 Donnez le code VHDL du système complet dans ce cas
- 2 Donnez le nombre de comparateurs et de multiplexeurs nécessaires
- 3 Si  $N=16$ , si le **device** est un **5CSEMA5F31C6** et que vous donnez une contrainte de temps pour l'horloge de 500MHz, quelle sera la fréquence maximale à laquelle ce système peut fonctionner ?
- 4 Donnez le code VHDL d'un TESTBENCH qui vérifie que chacune des entrées (A, B, C) peut se retrouver sur chacune des sorties (Min, Med, Max) ?

# TRI DE 3 VALEURS

## DEUXIÈME VERSION

Cette fois vous décrirez l'affectation conditionnelle en réutilisant les comparaisons déjà faites. Par exemple en comparant A et B on connaît forcément le  $\text{Min}(A,B)$  et le  $\text{Max}(A,B)$  il ne reste donc plus qu'à comparer ces 2 nouvelles valeurs [ $\text{Min}(A,B)$ ,  $\text{Max}(A,B)$ ] avec C pour connaître les 3 sorties (Min, Med, Max).

- 1 Donnez le code VHDL du système complet dans ce cas
- 2 Vérifiez que le nombre de comparateurs est bien de 3 et donnez le nombre de multiplexeurs  $2 \rightarrow 1$  et  $3 \rightarrow 1$  nécessaires
- 3 Si  $N=16$  et si le **device** est un **5CSEMA5F31C6** et que vous donnez une contrainte de temps pour l'horloge de 500MHz, quelle sera la fréquence maximale à laquelle ce système peut fonctionner ?